

⑫ 公開特許公報(A)

昭60-35393

⑬ Int. Cl.⁴G 11 C 8/00
17/00

識別記号

庁内整理番号

6549-5B
6549-5B

⑭ 公開 昭和60年(1985)2月23日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 読出し専用メモリ

⑯ 特 願 昭58-143354

⑰ 出 願 昭58(1983)8月5日

⑱ 発 明 者 西 野 信 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

読出し専用メモリ

2. 特許請求の範囲

データ・バスから選択情報信号の供給を受けてその信号を一時保持する信号保持回路と、この信号保持回路の選択情報出力および読出信号が供給されたとき複数のうちの1個を選択する選択信号を形成する選択回路と、この選択回路の選択信号によって1個が選択されかつアドレス・バスからの指定により予め記憶された所定データのうちの1つを前記データ・バスに出力する複数のメモリ・ブロックとを含む読出し専用メモリ。

3. 発明の詳細な説明

本発明は記憶用集積回路(メモリ)のうちの読出し専用メモリ(以下ROMという)に関する。

従来のROMの構成は、第1図のブロック図に示

されるものがあつた。このROMは、データがROM上の連続した空間に存在しており、そのデータを読み出すときにはアドレス・バス入力端子11にアドレス信号を加え、ROM選択端子10に選択信号を加えることにより、メモリ1のデータが出力バッファ2を通して、データ・バス12から出力されていた。

このためメモリの容量が大きくなるに従い、メモリ内のデータを指定するには多くのアドレス・バスを必要とし、この結果ROMの端子が増加し、したがってその外形寸法が大きくなるという欠点があつた。

本発明の目的は、このような欠点を除去し、メモリ容量の増加に伴うROMの端子数の増加を抑えるようにしたROMを提供することにある。

本発明のROMは、データ・バスから選択情報信号の供給を受けてその信号を一時保持する信号保持回路と、この信号保持回路の選択情報出力および読出信号が供給されたとき複数のうちの1個を選択する選択信号を形成する選択回路と、この

選択回路の選択信号によって1個が選択されかつアドレス・バスからの指定により予め記憶された所定データのうちの1つを前記データ・バスに出力する複数のメモリ・ブロックとを含み構成される。

以下、図面を用いて本発明を詳細に説明する。

第2図は、本発明の実施例のブロック図である。図において、3、4はAND回路、5はバンク・レジスタ、6はバンク・セクタ、2、8は出力バッファ、7は複数のメモリ・バンク(メモリ・ブロック)、13は番込信号入力端子、14は脱出し信号入力端子、15はデータ・バス端子であり、第1図と同一番号は同一構成要素を示す。

まず、ROM内の複数のメモリ・バンク7の1つを選択するときには、ROM選択信号をROM選択信号入力端子10に供給し、データ・バス端子15にメモリ・バンク選択情報を、番込信号入力端子13に番込信号をそれぞれ加える。データ・バス端子15からのメモリ・バンク選択情報22はバンク・レジスタ5に入力され、AND回路3

の出力のバンク・レジスタ番込信号20によりバンク・レジスタ5内に保持される。この保持されたメモリ・バンク選択情報は、バンク・セクタ6に入力され、ROM選択信号と脱出し信号が各々ROM選択信号入力端子10、脱出し信号入力端子14に入力されると、バンク・セクタ6と出力バッファ2を活性化する。この活性化されたバンク・セクタ6はメモリ・バンク選択信号23を供給してメモリ・バンク群7の1つのみを選択し、アドレス・バス入力端子11に加えられたアドレス信号によりメモリ・バンク7内の1つのデータを出力バッファ8および出力バッファ2を通して、データ・バス端子15に出力する。

以上説明した様に、従来のROMではアドレス・バスのみを用いてメモリのデータを指定していたが、本発明においてはデータ・バスを通してメモリ・バンクの指定を行なっているので、同一のアドレス空間に対してより少ないアドレス・バス入力端子で済み、その結果外形寸法を小さくすることができる。

例えば、従来のROMでは64Kバイトのアドレス空間を持っているときにはアドレス・バスの入力端子を16本必要としたが、本発明のROMによればメモリ・バンク群を16個とした場合に、メモリ・バンク1個当りのアドレス空間は4Kバイトとなり、アドレス・バス入力端子は12本で済むのでROMの端子数削減の効果が著しい。

また本発明によれば、メモリ・バンク数はバンク・セクタによって決定され、各メモリ・バンクのアドレス空間を一定にしておき、メモリ・バンクの個数だけ変えることにより、外部端子数に何等影響を与えることなく、ROMのメモリ容量を増加することも可能となり、その拡張性、融通性における効果が大きい。

4. 図面の簡単な説明

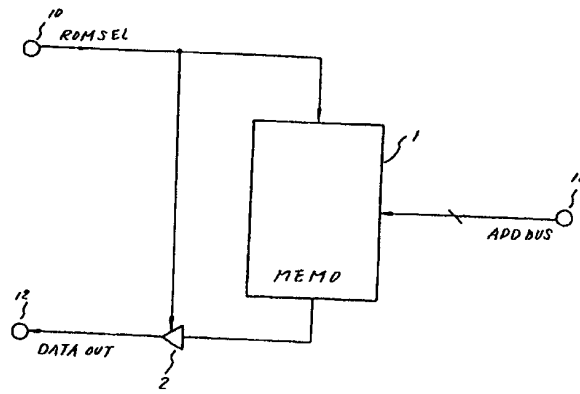
第1図は従来のROMの構成を示すブロック図、第2図は本発明の実施例のブロック図である。図において

1……メモリ、2,8……出力バッファ、3,4……

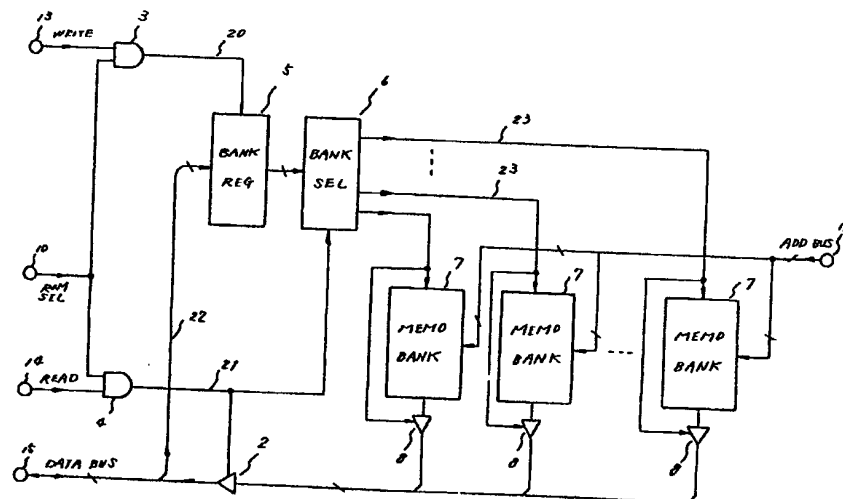
AND回路、5……バンク・レジスタ、6……バンク・セクタ、7……バンク・メモリ、10……ROM選択信号入力端子、11……アドレス・バス入力端子、12……メモリ・データ出力端子、13……番込信号入力端子、14……脱出し信号入力端子、15……データ・バス端子、20……バンク・レジスタ番込信号、21……バンク・セクタ活性化信号、22……バンク選択情報信号、23……メモリ・バンク選択信号、である。

代理人 弁理士 内 原 晋





第1図



第2図